

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-325274

(43)Date of publication of application : 10.12.1993

(51)Int.Cl.

G11B 9/00
// H01L 41/09

(21)Application number : 04-148046

(71)Applicant : CANON INC

(22)Date of filing : 15.05.1992

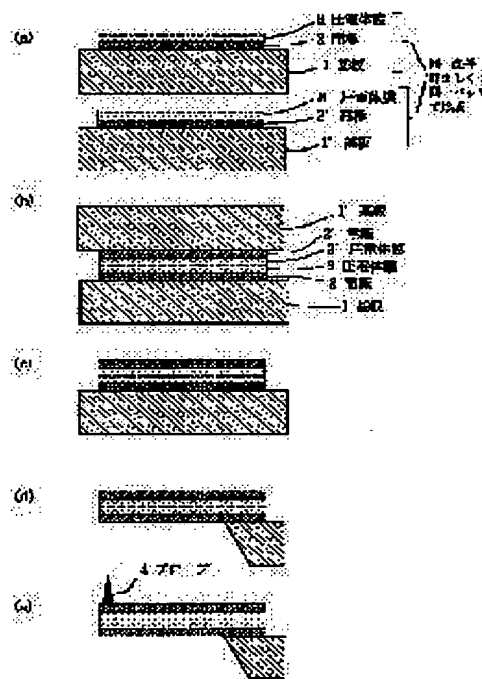
(72)Inventor : AEBA TOSHIKI
KAWASAKI TAKEHIKO
YOSHIDA SHIGEKI
YAMAMOTO KEISUKE
KAWASE TOSHIMITSU
MIYAZAKI TOSHIHIKO
TAGAWA MASAHIRO
TAKAMATSU OSAMU
SHIMADA YASUHIRO
NAKAYAMA MASARU

(54) PIEZOELECTRIC DISPLACEMENT ELEMENT, MICROPROBE AND THEIR PRODUCTION AS WELL AS SCANNING TYPE TUNNEL MICROSCOPE AND INFORMATION PROCESSOR CONSTITUTED BY USING THESE MEMBERS

(57)Abstract:

PURPOSE: To provide the cantilever-shaped displacement element and cantilever type probe which are used for the scanning type microscope and the information processor, warp-less, can be made pluralized and can be integrated.

CONSTITUTION: Plural electrode and piezoelectric films 2, 3 and 2', 3' which are formed with the same batch and have the same crystallinity and stress state are stuck to each other by using an adhesive and are disposed symmetrically with a center line. As a result, the cantilever-shaped displacement element which does not generate the stress difference between the upper and lower layers and extremely little warps in the state of not impressing a voltage thereto is obtd. The scanning type microscope and information processor for which the cantilever type probe 4 constituted by providing the above-mentioned cantilever-shaped displacement element with a probe for information input and output is used are the devices having excellent reliability and stability.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-325274

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 9/00		9075-5D		
// H 0 1 L 41/09		9274-4M	H 0 1 L 41/ 08	U

審査請求 未請求 請求項の数19(全 22 頁)

(21)出願番号 特願平4-148046

(22)出願日 平成4年(1992)5月15日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 饗場 利明

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 川崎 岳彦

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 吉田 茂樹

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74)代理人 弁理士 豊田 善雄 (外1名)

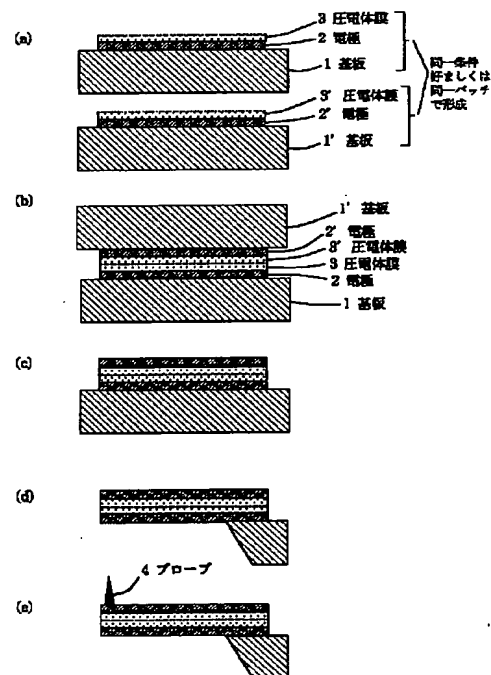
最終頁に続く

(54)【発明の名称】 圧電変位素子、微小プローブ、及びこれらの製造方法、及びこれらを用いた走査型トンネル顕微鏡並びに情報処理装置

(57)【要約】

【目的】 走査型トンネル顕微鏡、情報処理装置に用いられる、反りの小さい、複数化、集積化可能なカンチレバー状変位素子及び、カンチレバー型プローブを提供する。

【構成】 同一バッチで形成した同一の結晶性、及び、応力状態を有する複数の電極・圧電体膜を接着剤を用いて貼り合わせ、中心対称に配置することにより、上下層の応力差が生じなく、電圧を印加しない状態での反りの非常に小さなカンチレバー状変位素子。該カンチレバー状変位素子に情報入出力用プローブを設けてなるカンチレバー型プローブを用いた走査型トンネル顕微鏡及び情報処理装置は、信頼性、安定性に優れた装置となる。



【特許請求の範囲】

【請求項1】 圧電体膜と該圧電体膜を逆圧電効果により変位させるための電極を有するカンチレバー状変位素子において、同一下地上に同一条件で形成された複数の電極・圧電体膜を、中心対称に配置して構成されていることを特徴とするカンチレバー状変位素子。

【請求項2】 前記複数の電極・圧電体膜が同一下地上に同一パッチで形成されていることを特徴とする請求項1に記載のカンチレバー状変位素子。

【請求項3】 前記複数の電極・圧電体膜を、接着剤を用いて貼り合わせることによって、中心対称に配置したことを特徴とする請求項1又は2に記載のカンチレバー状変位素子。

【請求項4】 請求項1～3のいずれかに記載のカンチレバー状変位素子の自由端部に、情報入出力用プローブを設けたことを特徴とするカンチレバー型プローブ。

【請求項5】 圧電体膜と該圧電体膜を逆圧電効果により変位させるための電極を有するカンチレバー状変位素子の製造方法において、該圧電体膜をNe混合雰囲気下でのスパッタ法により形成することを特徴とするカンチレバー状変位素子の製造方法。

【請求項6】 トンネル電流又は微小な力を検出する尖った先端を有する微小プローブにおいて、該微小プローブ表面が複数の膜に積層被覆されて形成されていることを特徴とする微小プローブ。

【請求項7】 前記複数の膜が粒径の異なる粒状膜であることを特徴とする請求項6に記載の微小プローブ。

【請求項8】 前記粒状膜において、最表面の粒状膜の粒子径が最も小さいことを特徴とする請求項7に記載の微小プローブ。

【請求項9】 前記最表面の粒状膜の粒子径が0.1nm～10nmの範囲にあることを特徴とする請求項8に記載の微小プローブ。

【請求項10】 前記粒状膜の材料が貴金属、貴金属合金、炭化物のいずれかであることを特徴とする請求項7～9に記載の微小プローブ。

【請求項11】 トンネル電流又は微小な力を検出する尖った先端を有する微小プローブの製造方法において、プローブ表面に粒状膜となる材料を気相から固相へ付着させ、粒子径の異なる複数の粒状膜を積層することを特徴とする微小プローブの製造方法。

【請求項12】 請求項11に記載の微小プローブの製造方法において、プローブ表面に粒状膜となる材料のスパッタ粒子を堆積させる工程と、

(a) 堆積回数に応じて粒状膜となる材料を異種材料に交換する工程

(b) 堆積回数に応じてプローブの加熱温度を下げる工程

(c) 堆積回数に応じて粒状膜の膜厚を下げる工程

上記(a)～(c)の工程のうち少なくとも1つの工程

を有することを特徴とする微小プローブの製造方法。

【請求項13】 請求項11に記載の微小プローブの製造方法において、プローブ表面に粒状膜となる材料のクラスターイオンを堆積させる工程と、

(a) 堆積回数に応じてプローブの加熱温度を下げる工程

(b) 堆積回数に応じてクラスターイオンの加速電圧を下げる工程

(c) 堆積回数に応じて粒状膜の膜厚を下げる工程

上記(a)～(c)の工程のうち少なくとも1つの工程を有することを特徴とする微小プローブの製造方法。

【請求項14】 トンネル電流又は微小な力を検出する尖った先端を有する微小プローブの製造方法において、少なくとも支持体の表面にバターニングされた電極を形成する工程と、該電極上に微小突起を形成する工程と、該微小突起を含む該電極上に方向性のある成膜法によりプローブ材料を成膜する工程を有することを特徴とする微小プローブの製造方法。

【請求項15】 前記微小突起をフォトリソで形成することを特徴とする請求項14に記載の微小プローブの製造方法。

【請求項16】 前記方向性のある成膜法が真空蒸着法或いはイオンビームスパッタ法のいずれかの方法であることを特徴とする請求項14に記載の微小プローブの製造方法。

【請求項17】 請求項14～16のいずれかに記載の微小プローブの製造方法により製造したことを特徴とする微小プローブ。

【請求項18】 請求項4、請求項6～10、請求項17のいずれかに記載のカンチレバー型プローブ或いは微小プローブを有することを特徴とする走査型トンネル顕微鏡。

【請求項19】 トンネル電流或いは原子間力を用いて記録媒体に対して情報の記録再生を行う情報処理装置において、請求項4、請求項6～10、請求項17のいずれかに記載のカンチレバー型プローブ或いは微小プローブを有することを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、トンネル電流検出装置、微小力検出装置、並びに走査型トンネル顕微鏡（以下、STMと略す）等に用いられるカンチレバー（片持ちばり）状変位素子、微小プローブ、カンチレバー型プローブ及びこれらの製造方法に関する。

【0002】さらに本発明は、上記微小プローブ、カンチレバー型プローブを備えたSTM、及びSTMの手法により、情報の記録、再生、消去等を行う情報処理装置に関する。

【0003】

【従来の技術】近年において、導体の表面原子の電子構

造を直接観測できるSTMが開発され、単結晶、非晶質を問わず実空間像を著しく高い分解能（ナノメートル以下）で測定できるようになった。更に現在、STMの手法を用いて半導体、あるいは高分子材料等の原子オーダー、分子オーダーの観察評価、微細加工、及び記録再生装置等のさまざまな分野への応用が研究されている。

【0004】なかでも、コンピュータの計算情報等では大容量を有する記録装置の要求がますます高まっており、半導体プロセス技術の進展により、マイクロプロセッサが小型化し、計算能力が向上したために記録装置の小型化が望まれている。これらの要求を満たす目的で、記録媒体との間隔が微調整可能な駆動手段上に存在するトンネル電流発生用プローブからなる変換器から、電圧印加することによって、記録媒体表面の仕事関数を変化させることにより記録書き込みし、仕事関数の変化によるトンネル電流の変化を検知することにより情報の読み出しを行い、最小記録面積が10nm平方となる記録再生装置が提案されている。

【0005】かかる装置においては、試料をプローブで数nm～数μmの範囲で走査する必要があり、その際の移動機構として圧電体素子が用いられる。この例としては、3本の圧電体素子を、x、y、z方向に沿って互いに直交するように組み合わせ、その交点にプローブを配置したトライボッド型や、円筒型の圧電体素子の外周面の電極を分割して一端を固定し、他端にプローブを取り付け、各々の分割電極に対応させて円筒を変形させて走査する円筒型等のタイプがある。

【0006】さらに最近では、半導体技術を背景にして半導体を機械的構造体として用いた半導体圧力センサー、半導体加速度センサー、マイクロアクチュエーター等の機械的電気素子（マイクロメカニクス）が脚光を浴びるようになってきた。

【0007】特に微小変位素子としては圧電体膜を利用したカンチレバー状のものが挙げられ、これは非常に微細な動きを制御する事が可能なので、STMに応用されている。例えば、スタンフォード大学のクエート等により提案された微小変位素子を用いたSTMプローブ（IEEE Micro Electro Mechanical Systems, p188-199, Feb. 1990）がある。これは、図18に示すようにSiウエハ181の裏面を一部除去しシリコンメンブレンを形成し、表面にAl薄膜183とZnO薄膜184を順次積層し、バイモルフのカンチレバーを形成しその後、裏面より反応性のドライエッチングによりシリコンメンブレンとウエハ表面のエッチングの保護層（シリコン窒化膜182）を除去して、STMプローブ変位用のバイモルフカンチレバーを作製している。

【0008】上記圧電体バイモルフからなるカンチレバーの先端には金属のプローブ185が接着等により取り付けられ、引き出し電極（図には示していない）を介し

てトンネル電流を検知する。このカンチレバーは、バイモルフ構成を持つため、とりわけ上下方向に大きな変位量を得ることができるという優れた特性を持つ。

【0009】またこのようなマイクロマシーニング技術により形成されるプローブ駆動機構は微細にでき、記録再生装置の情報の書き込み、読み出しの速度を向上させるのに要求されるプローブの複数化を容易にすることが可能となる。更に、この方法は、圧電体材料の薄膜技術を利用している点で、Si半導体を主流とするICプロセスにそのまま組み込むことができ、優れた方法といえる。

【0010】また、上記STMの観察分解能を高め、情報処理装置の高記録密度を達成するためには、上記プローブ185の先端部の曲率半径が小さいことが要求される。

【0011】従来、プローブの製造方法は、Pt等の材料を機械的に切断し偶然得られる先端をプローブとして用いたり、W等の材料を電解研磨して作製したり、単結晶Si材料をフォトリソグラフィ技術とエッチング技術を駆使してピラミッド状の形状に加工する方法がとられていた。

【0012】さらには、半導体製造プロセス技術を使い、斜め蒸着及びリフトオフ法を応用した微小プローブが記載されている（特開平2-93349号公報）。以下、この方法による微小プローブの製造方法を図19を用いて説明する。まず最初に、支持体191上に、プローブ引き出し電極192とリフトオフ層193と円形ないし多角形のマスク開口部195を有するマスク層194からなる層状構造の複合薄膜を用意する。

【0013】次に、図19（a）に示すように、支持体191を回転させた状態で支持体191上の複合薄膜に対して斜め方向から開口部に向かって、所望のプローブ材料196を蒸着する。このとき、マスク層194上にもプローブ材料196が蒸着され、かつ、マスク層194の開口部端にも蒸着されるために、蒸着の進行に伴ってマスク開口部195が覆われ開口部面積が減少する（図19（b）参照）。

【0014】その結果、マスク層194下に先端の尖った円錐ないし角錐状の蒸着物質による微小突起が形成される。その後、リフトオフ層193を化学処理等によって取り除くことによって、前記支持体上の微小プローブ197を得ることができる（図19（c）参照）。

【0015】

【発明が解決しようとする課題】しかしながら、図18に示したカンチレバーにおいては、たくさんの層の電極及び圧電体の積層を行うため各々の層の厚み及び応力を十分に制御しなければならない。というのも、Si基板をエッチング除去して作製するカンチレバーは各々の層の膜厚、応力に依存してカンチレバーに反りが発生することがあったためである。特に圧電体膜は窒化物、酸化

物で構成されており、電極として使用する金属との界面は、まったく異種の材料の接合となり、そこで非常に大きな応力を発生し、特に薄膜化した場合には、その界面で発生した応力は、バルクのような厚いものの場合と異なり無視できる値ではなくなってしまう。さらに圧電体膜は下地の影響を受けやすいので、同一条件で同一膜厚で積層しても、1層目と2層目の圧電体であるところのZnO薄膜の結晶性が異なるために、これらの圧電体の応力が異なってしまう。このため、カンチレバーの反りが発生しないように各々の層の膜厚、応力を制御することは困難であった。

【0016】また、複数のカンチレバーを作製した場合、成膜時の条件の違いによりカンチレバーの内部応力が異なり、結果的に反り量にバラツキが生じ各カンチレバーの特性が揃わないという問題点が生じた。

【0017】従って、微小変位素子としての性能の向上のためには内部応力による反りをなんらかの方法で低減させる必要があった。

【0018】さらに、内部応力を低下させようとする圧電体の抵抗率が低下し、誘電損失が大きくなるという

問題点も生じた。

【0019】また、従来のプローブの製造方法では、以下の問題が有った。

(イ) 機械切断を用いた方法では、偶然性に頼る方法であり再現性のある先端曲率半径を得られない。

(ロ) 電解研磨を用いた方法では、表面に酸化膜層を形成しSTMにおいてトンネル電流の検出が出来なくなる場合がある。

(ハ) 図19に示されるような方法は、複合薄膜を用いたリフトオフ法により作製されるため、製造工程が長くなり製造コストが高くなる。

【0020】本発明の目的は上記問題に鑑なされたもので、上述の従来法により作製した圧電体バイモルフからなるカンチレバー状変位素子の、大きな変位量といった優れた特長を生かしながら、反りの小さい、複数化、集積化可能なカンチレバー状変位素子及びこの製造方法を提供することにある。

【0021】さらに本発明の目的は、先端が鋭利な微小プローブ、及びこのプローブのマルチ化が容易で、かつ従来に比べてプロセスの簡略化ができ、製造コストを低減させた微小プローブの製造方法を提供することにある。

【0022】さらにはまた本発明の目的は、上記カンチレバー状変位素子を用いることにより、動作時の反りの小さなカンチレバー型プローブ、及び、このカンチレバー型プローブ或いは上記微小プローブを用いた、信頼性、安定性に優れたSTM、情報処理装置を提供することにある。

【0023】

【課題を解決するための手段及び作用】上記目的は以下

の構成により達成される。

【0024】即ち、本発明の第1は、圧電体膜と該圧電体膜を逆圧電効果により変位させるための電極を有するカンチレバー状変位素子において、同一下地上に同一条件、より好ましくは同一バッチで形成された同一の結晶性及び応力状態を有する複数の電極・圧電体膜を、例えば接着剤を用いて中心対称に配置して構成されていることを特徴とするカンチレバー状変位素子であり、さらには上記カンチレバー状変位素子の自由端側に情報入出力用プローブを設けたカンチレバー型プローブである。

【0025】本発明第1によれば、同一の結晶性及び応力状態を有する複数の電極・圧電体膜を、完全に対称な形で配置することにより、上下層の応力差が生じない。このため、カンチレバー状変位素子の反りを非常に小さくすることが可能である。

【0026】次に図面を用いて本発明第1を詳細に説明する。

【0027】本発明第1の圧電変位素子、及び、これを用いたカンチレバー型プローブの作製手順と、概略の構成図を図1～4に示す。

【0028】図中、1、1'は基板、2、2'、5、5'は電極、3、3'は圧電体膜、4は探針である。

【0029】本発明第1の圧電変位素子は、まず、図1(a)に示すように、同一条件、好ましくは同一バッチで、同一種の基板1、1'上に、電極2、2'、圧電体膜3、3'の順で堆積後、図1(b)に示すように両者が中心対称となるように配置する。

【0030】次に、図1(c)に示すように、基板1'を除去後、パターニングする。最後に、図1(d)に示すように、素子の片端部を除いて、素子下部の基板1を除去して作製される。

【0031】本発明第1の圧電変位素子はまた、図3の方法によっても作製できる。まず、図3(a)に示すように、同一条件、好ましくは同一バッチで同一種の基板1、1'上に、電極2、2'、圧電体膜3、3'、電極5、5'の順で堆積後、図3(b)に示すように、両者が中心対称となるように配置する。

【0032】次に、図3(c)に示すように、基板1'を除去後、パターニングする。最後に、図3(d)に示すように、素子の片端部を除いて、素子下部の基板1を除去して作製される。

【0033】また上記の圧電変位素子を用いたカンチレバー型プローブは、図1(e)、図3(e)に示すように、該圧電変位素子の自由端部に情報入出力のプローブ4を設けることで作製される。このプローブの斜視図を図2、図4に示す。

【0034】以下に、本発明第1の圧電変位素子の動作原理を簡単に説明する。図1の方法で作製した圧電変位素子では、下部電極2と上部電極2'の間に電界を印加した場合、第1層の圧電体膜3、及び第2層の圧電体膜

3'では分極の方向が異なるため、同一の印加電界に対して、圧電体膜3、3'のうち片方は伸び側に変位し、もう片方は縮み側に変位する現象が起こる。

【0035】また図3の方法で作製した圧電変位素子では、中電極5、5'をアースにとり、下部電極2と中電極5の間に負の電界を印加し中電極5'と上部電極2'の間に負の電界を印加した場合、第1層の圧電体膜3、及び第2層の圧電体膜3'では分極の方向が異なるため、上記の印加電界に対して、圧電体膜3、3'のうち片方は伸び側に変位し、もう片方は縮み側に変位する現象が起こる。このため、本発明第1の、図1及び図3の

10

カンチレバー状変位素子の自由端部は、大きく上、または下側に変位することになる。

【0036】圧電体膜3、3'に用いられる材料としては、AlN、ZnO、Ta₂O₅、PbTiO₃、Bi₂TiO₅、BaTiO₃、LiNbO₃など、圧電性を持つ材料であれば特に限定されることはない。

【0037】また圧電体膜3、3'の作製方法としては特に限定されないが、蒸着法、スパッタ法、CVD法、ゾル・ゲル法などが用いられる。更にこれらの成膜方法にプラズマ、活性ガス、光照射などのアシストを組み合わせて用いることもできる。

20

【0038】また、電極2、2'、5、5'に用いられる材料としては、貴金属が好ましくAu、Pt、Pdなどが用いられる。また、圧電体膜3、3'に比較的低い基板温度で成膜できるAlN、ZnOなどの材料を用いた場合は、該電極にAlなどの材料も用いることができる。更には、またITOなどの導電性酸化物を用いることもできる。いずれの材料を用いた場合でも、基板1、1'と電極2、2'との密着性を向上させるため、適当な密着層（例えばCr/Au積層膜におけるCr）を用いることもできる。

30

【0039】また、複数の電極・圧電体膜を中心対称に配置する方法としては、ろう接等が適用できるが、簡便性の面から、接着剤を用いて貼り合わせる方法が好ましい。また、この接着剤としてはエポキシ系接着剤等が適用できる。

【0040】また、素子部のパターンニングは通常のフォトリソグラフィを用いたフォトリソグラフィと、反応性イオンエッチング等によるドライエッチングや、酸、あるいはアルカリ等のエッチング液を用いたウェットエッチングを組み合わせて行う。また、電極等において適当なエッチング方法のない場合は、リフトオフプロセスを用いることもできる。素子上部の基板1'の除去には、基板の化学エッチングなどを用いて行ない、素子下部の基板1の除去には、基板の異方性エッチングを用いて行うことができる。該基板に通常用いるSiの場合は、代表的な方法としてSi、N、をマスク層とし、このマスク層をパターンニングした後、水酸化カリウム水溶液をエッチング液として用いる方法がある。

40

【0041】次に本発明の第2について述べる。

【0042】本発明の第2は、圧電体膜と該圧電体膜を逆圧電効果により変位させるための電極を有するカンチレバー状変位素子の製造方法において、該圧電体膜をNe混合雰囲気下でのスパッタ法により形成することを特徴とするカンチレバー状変位素子の製造方法である。

【0043】本発明第2によれば、従来用いられているArに対してNeという比較的半径の小さな原子を用いるため、Ne原子が圧電体膜の格子に入ってもそれを押し広げる作用はArの場合よりも小さく、従って、圧電体膜内の内部応力を低減できる。

【0044】また、Neが存在すると成膜時のガス圧力変化に対して内部応力の値の変化は小さくなることから、複数のカンチレバーを作製した時、内部応力値のバラツキも小さくなりカンチレバーの反り量のバラツキも抑えられる。

【0045】本発明第2において、Ne混合ガスとしては、Ne/O₂、Ne/N₂/O₂等が適用でき、例えばNe/O₂を用いる場合、その混合比は0.1~9.0より好ましくは0.6~1.5の範囲である。

【0046】また、圧電体膜及び電極に用いられる材料としては、前記本発明第1で述べたものと同様のものが適用でき、特に限定されるものではない。

【0047】また、素子部のパターンニングも本発明第1と同様である。

【0048】次に本発明の第3について述べる。

【0049】本発明の第3は、最先端の曲率半径を原子・分子オーダーまで鋭利にした微小ブローブ及びこの製造方法に関する。

【0050】即ち、本発明の第3は、トンネル電流又は微小な力を検出する尖った先端を有する微小ブローブにおいて、該微小ブローブの表面が例えば貴金属、貴金属合金、炭化物等の材料からなる、粒径の異なる複数の粒状膜によって積層被覆されて形成され、好ましくは該粒状膜において、最表面の粒状膜の粒子径が最も小さく、該粒子径が0.1nm~10nmの範囲にあることを特徴とする微小ブローブであり、さらには、トンネル電流又は微小な力を検出する尖った先端を有する微小ブローブの製造方法において、ブローブ表面に粒状膜となる材料を気相から固相へ付着させ、粒子径の異なる複数の粒状膜を積層することを特徴とする微小ブローブの製造方法であり、好ましくは、上記微小ブローブの製造方法において、ブローブ表面に粒状膜となる材料のスパッタ粒子を堆積させる工程と、

50

(a) 堆積回数に応じて粒状膜となる材料を異種材料に交換する工程

(b) 堆積回数に応じてブローブの加熱温度を下げる工程

(c) 堆積回数に応じて粒状膜の膜厚を下げる工程

上記(a)~(c)の工程のうち少なくとも1つの工程

を有することを特徴とする微小プローブの製造方法であり、またさらには、プローブ表面に粒状膜となる材料のクラスターイオンを堆積させる工程と、

(a) 堆積回数に応じてプローブの加熱温度を下げる工程

(b) 堆積回数に応じてクラスターイオンの加速電圧を下げる工程

(c) 堆積回数に応じて粒状膜の膜厚を下げる工程

上記(a)～(c)の工程のうち少なくとも1つの工程を有することを特徴とする微小プローブの製造方法である。

【0051】上記本発明第3において、前記粒状膜の材料としては、具体的にはPt, Pd, Au, Au-Pd, Pt-Pd, Pt-Rh, TiC, WC, ダイヤモンド等の材料を用いることができ特に制限されるものではない。

【0052】また、上記粒状膜の形成方法は、スパッタ法、イオンビームスパッタ法、蒸着法等が適用でき、特に制限されるものではないが、プローブ最先端の曲率半径を制御する上では、スパッタ等、イオンビームスパッタ法が好ましい。

【0053】さらに、本発明第3の微小プローブの製造方法においては、プローブの加熱温度、粒状膜となる材料、クラスターイオンの加速電圧、粒状膜の膜厚等は特に限定されるものではなく、微小プローブの最先端の曲率半径を好適に形成するために、適宜変えるものである。

【0054】次に本発明第3を図面を用いて説明する。

【0055】図9は本発明第3の特徴を最もよく表す微小プローブの先端を模式的に示した断面図の一例であり、図10は図9の微小プローブ先端拡大模式図である。

【0056】図9において、91は最表面粒状薄膜、92は1層目の粒状薄膜、93はタングステン、白金等の材料を電解研磨により先端を鋭利に加工したSTM用のプローブである。図10(a)は、図9のプローブ93の先端拡大模式図であり、図10(b)は、前記プローブ93の表面に1層目の粒状薄膜92を被覆した後の先端拡大模式図であり、図10(c)は、2層目の粒状薄膜91を1層目の粒状薄膜92表面に堆積させた後の先端拡大模式図である。図10(a), (b), (c)の最先端の曲率半径 R_1 , R_2 , R_3 の大きさの関係は、 $R_1 > R_2 > R_3$ である。

【0057】このように、粒径の異なる複数の粒状膜を積層し、順次これらの粒径を小さくすることにより、微小プローブ先端の曲率半径を小さくすることが可能となる。

【0058】次に本発明の第4について述べる。

【0059】本発明の第4によれば、電極上に形成した微小突起を微小プローブの形状の元とし、方向性のある

成膜法により、微小突起の形状を反映させて微小プローブを形成するものである。

【0060】即ち、本発明の第4は、トンネル電流又は微小な力を検出する尖った先端を有する微小プローブの製造方法において、少なくとも支持体の表面にパターンニングされた電極を形成する工程と、該電極上に例えば、フォトリソで微小突起を形成する工程と、該微小突起を含む該電極上に例えば、真空蒸着法又はイオンビームスパッタ法の方向性のある成膜法によりプローブ材料を成膜する工程を有することを特徴とする微小プローブの製造方法であり、さらには上記製造方法により製造される微小プローブである。

【0061】次に、図面を用いて本発明第4を詳細に説明する。

【0062】図16は本発明第4の微小プローブの製造方法の主要工程の一例を示す断面図である。図16

(a)において、まず支持体161を用意する。この支持体161としては、半導体、金属、ガラス、セラミックス等の材料を用いることができる。また、駆動機構を有する基板、例えば圧電素子、静電駆動素子等も用いることができる。

【0063】続いて、支持体161上に電極162を形成する。該電極162はトンネル電流を取り出す配線であるから、高導電率を有していれば良い。例えば、Cr, Al, Ti, Mo, Au, Ptなどが挙げられる。なお、電極162の形成方法としては、従来公知の技術、例えば半導体産業で一般に用いられている真空蒸着法やスパッタ法、化学気相成長法等の薄膜作製技術やフォトリソグラフィ技術及びエッチング技術を適用することができ、その作製方法は本発明を制限するものではない。

【0064】次に図16(b)に示すように、微小突起163を電極162上に形成する。本発明に係る微小突起163は、微小プローブ形成の元となることから、先端が比較的尖った形状が望ましい。このようなものは半導体製造技術により形成できる。たとえば、フォトリソグラフィとエッチングによるものや、フォトリソを過剰露光し現像する方法などが挙げられる。

【0065】次に図1(c)に示すように、プローブ材料を、方向性のある成膜法により全面に成膜する。このとき、支持体161を蒸着源に対して傾斜させておくことにより、すなわち、斜め蒸着を行うことにより先端の尖った形状を得ることができる。尚、方向性のある成膜法としては、真空蒸着法、イオンビームスパッタ法が挙げられる。続いて、プローブ領域以外をエッチング除去することにより微小プローブを製造できる。

【0066】以上のように、本発明第4の微小プローブの製造方法は、微小突起を形成した後、斜め蒸着によりプローブを形成するため、先述した図19に示されるような従来方法に比べ、製造工程が簡略化でき、かつ、製

造コストの低減が可能である。

【0067】また本発明の第5は、前記本発明第1、第3、又は第4のカンチレバー型プローブ或いは微小プローブを有することを特徴とする走査型トンネル顕微鏡である。

【0068】また本発明の第6は、トンネル電流或いは原子間力を用いて記録媒体に対して情報の記録再生を行う情報処理装置において、前記本発明第1、第3又は第4のカンチレバー型プローブ或いは微小プローブを有することを特徴とする情報処理装置である。

【0069】

【実施例】以下、本発明を実施例を用いて詳細に説明する。

【0070】実施例1

本実施例は本発明第1のカンチレバー状変位素子に関連する。

【0071】まず、図1(a)に示すように、同一パッチで基板1、1'上に電極2、2'を形成する。基板1、1'には面方位(100)のSi単結晶基板の両面に、該基板の異方性エッチングのためのマスク層としてSi₃N₄を0.2μm堆積したものをを用いた。電極2、2'はPt膜を用い、通常の高周波スパッタリングにより0.1μmの厚さに堆積した。

【0072】次に、同一パッチで圧電体膜3、3'を成膜した。成膜条件は、ターゲットがZnO、基板温度が200℃、スパッタリングガスとしてはArとO₂を1:1で混合したものを用い、ガス圧は0.5Paとし、スパッタ時のプラズマパワーを200Wとした。

【0073】次に図1(b)に示すように、両者が中心対称になるように、接着剤を用いて貼り合わせた。次に図1(c)に示すように、HF:HNO₃=1:5溶液を用いて基板のエッチングにより素子上部の基板1'を除去した。次に通常のリソグラフィにより、圧電体薄膜3、3'及び電極2、2'の不用部分を除去した後、図1(d)に示すように、水酸化カリウム水溶液を用いて基板の異方性エッチングにより素子の片端部を除いて素子下部の基板1を除去して作製した。本実施例で作製した圧電変位素子の形状は、長さ500μm、幅50μmである。

【0074】このようにして作製したカンチレバー状変位素子の下部電極2と上部電極2'の間に±3Vの電圧を印加した場合に、カンチレバーの先端部は図1の上下方向に±5μm変位した。

【0075】カンチレバー形成後の、電圧を印加しない状態でのカンチレバー部の反りは、先端部で0.5μm以下であった。また、電圧を印加しない状態で周辺温度を変化させた時発生するカンチレバー部の反りの変動は非常に小さく、0℃~100℃の範囲内で最大0.1μmであった。更に、圧電変位素子に用いた膜中のクラック、膜はがれはまったく観察されなかったとともに、そ

れによる動作不良も一切観察されなかった。

【0076】次に、図1(e)に示すように、このようにして作製した圧電変位素子を用いたカンチレバー型プローブを、該圧電変位素子の自由端部に情報入出力用のプローブ4を設けることで作製した。探針4はPt、Rh、Wなどの金属片を接着して形成した。

【0077】また、上述のカンチレバー型プローブを用いたSTM装置を作製した。この装置のブロック図を図5に示す。

10 【0078】本装置では、まず図中51の本実施例で作製したカンチレバー型プローブにて、52の試料に、4のプローブを近づけたのち(図中Z方向)、試料52面内のX、Y方向を、53のX-Yステージにて走査し、プローブ4と試料52間に、54のバイアス電圧印加回路により電圧を加え、このとき観察されるトンネル電流を、55のトンネル電流増幅回路で読み出し、像観察を行う。

20 【0079】また、試料52とプローブ4の間隔制御とX-Yステージの駆動制御は56の駆動制御回路にて行い、これらの回路のシーケンス制御は57のCPUにて行う。図には示していないが、X-Yステージ53による走査の機構としては、円筒型ピエゾアクチュエータ、平行バネ、差動マイクロメータ、ボイスコイル、インクウォーム等の制御機構を用いて行う。

30 【0080】この装置にて、試料52にHOPG(グラファイト)板を用いて表面観察を行った。バイアス電圧印加回路54にて200mVの直流電圧をプローブ4と試料52の間に加え、この状態で試料52に沿ってプローブ4を走査してトンネル電流検出回路55を用いて検出される信号より表面観察を行った。スキャンエリアを0.05μm×0.05μmとして観察したところ、良好な原子像を得ることができた。

【0081】次に、本実施例で作製したカンチレバー型プローブを複数個用いた情報処理装置を作製した。この装置の主要部構成及びブロック図を図6に示す。

40 【0082】本図に基づいて説明すると、図中61の記録再生ヘッドには、本実施例で作製した62のカンチレバー型プローブが配置されている(図6ではこれらのうちの1つのみ示してある)。これら複数のプローブ63は、一様に媒体と対向する様に配置してある。64は情報記録用の記録媒体、65は媒体とプローブとの間に電圧を印加するための下地電極、66は記録媒体ホルダーである。記録媒体としては、例えば石英ガラス基板の上に下地電極65として真空蒸着法によってCrを50Å堆積させ、さらにその上にAuを300Å同法により蒸着したものを用い、その上にラングミュアー・プロジェット法によってSOAZ(スクアリリウム-ビス-6-オクチルアズレン)を4層積層した電気メモリー効果を有する媒体を用いる。67は記録すべきデータを記録に適した信号に変調するデータ変調回路、68はデータ変

50

調回路で変調された信号を下地電極65とプローブ63の間に電圧を印加することで記録媒体64に記録するための記録電圧印加装置である。プローブ63を記録媒体64に所定間隔まで近づけ、記録電圧印加装置68によって記録媒体に導電率の変化を生じさせる閾値を越えた電圧、例えば3V、幅50nsの矩形状のパルス電圧を印加すると、記録媒体64が特性変化を起こし電気抵抗の低い部分が生じる。X-Yステージ69を用いて、この操作をプローブ63で記録媒体64上で走査しながら行うことによって情報の記録がなされる。図では示していないが、X-Yステージ69による走査の機構としては、円筒型プエゾアクチュエータ、平行ばね、差動マイクロメータ、ボイスコイル、インチウォーム等の制御機構を用いて行う。

【0083】また記録電圧印加装置68は記録ビットの消去にも使用する。即ちプローブ63を記録媒体64上の記録ビットに所定間隔まで近づけ、閾値を越えた電圧、例えば7V、幅50nsの三角波パルス電圧を印加すると、記録ビットが特性変化を起こして電気抵抗が記録ビットのない部分と同じ値となり、記録ビットの消去が行われる。

【0084】70はプローブ63と記録媒体64との間にバイアス電圧を印加して両者間に流れるトンネル電流を検出する記録信号検出回路、71は記録信号検出回路70の検出したトンネル電流信号を復調するデータ復調回路である。再生時にはプローブ63と記録媒体64とを所定間隔にし、記録媒体に導電率の変化を生じさせる閾値電圧を越えない電圧、例えば200mVの直流電圧をプローブ63と記録媒体64間に加える。この状態で記録媒体64上の記録データ列に沿ってプローブ63にて走査中に記録信号検出回路70を用いて検出されるトンネル電流信号が記録データ信号に対応する。従って、この検出したトンネル電流信号を電流電圧変換して出力データ復調回路71で復調することにより再生データ信号を得られる。

【0085】72はプローブ高さ検出回路である。このプローブ高さ検出回路72は記録信号検出回路70検出信号を受け、情報ビットの有無による高周波の振動成分をカットして残った信号を処理し、この残りの信号値が一定になる様にプローブ63を上下動制御させるためにx、y軸駆動制御回路74に命令信号を発信する。これによりプローブ63と媒体64との間隔が略一定に保たれる。

【0086】73はトラック検出回路である。トラック検出回路73はプローブ63で記録媒体64上を走査する際にプローブ63のデータがこれに沿って記録されるべき経路、或いは記録されたデータ列（以下これらをトラックと称する）からのずれを検出する回路である。

【0087】上述の様にトラック検出回路73で得るデータ列の信号によりプローブ63と媒体との間隔を調整

しつつ、トラッキングのためにプローブが振動しながら走行するように駆動制御回路74にてカンチレバーを変位させる必要がある。

【0088】以上のデータ変調回路67、記録電圧印加装置68、記録信号検出回路70、データ復調回路71、プローブ高さ検出回路72、トラック検出回路73、z軸駆動制御回路74、x、y軸駆動制御回路74で記録再生用回路75を形成する。該記録再生回路75をCPU76によって制御して記録再生装置となる。

【0089】本実施例の情報処理装置により、記録情報の書き込み、読み出し、消去を再現性よく安定に行えることが確認できた。

【0090】尚、情報記録用の記録媒体64としては、前記以外にも、メモリスイッチング現象（電気メモリ効果）を持つものであれば利用できる。

【0091】本発明で言う電気メモリ効果とは、電圧印加に対応して少なくとも2つ以上の異なる抵抗状態を示し、各状態間は記録層の導電率を変化させる閾値を越えた電圧又は電流を印加することにより自由に遷移し、また得られた各抵抗状態は閾値を越えない電圧又は電流を印加する限りにおいてその状態を保持し得ることを言う。

実施例2

本実施例は本発明第1のカンチレバー状変位素子に関連し、実施例1の他の態様を示すものである。

【0092】まず、図1(a)に示すように、同一バッチで基板1、1'上に電極2、2'を形成する。基板1、1'には面方位(100)のSi単結晶基板の両面に、該基板の異方性エッチングのためのマスク層としてSi、N、を0.2μm堆積したものを用いた。電極2、2'はAu膜を用い、真空蒸着により0.1μmの厚さに堆積した。

【0093】次に、同一バッチで圧電体膜3、3'を成膜した。成膜条件は、実施例1と同様、ターゲットがZnO、基板温度が200℃、スパッタリングガスとしてはArとO₂を1:1で混合したものを用い、ガス圧は0.5Paとし、スパッタ時のプラズマパワーを200Wとした。

【0094】次に図1(b)に示すように、両者が中心対称になるように、接着剤を用いて貼り合わせた。次に、図1(c)に示すように、HF:HNO₃=1:5溶液を用いて基板のエッチングにより素子上部の基板1'を除去した。次に通常のフォトリソグラフィにより、圧電体薄膜3、3'及び電極2、2'の不用部分を除去した後、図1(d)に示すように、水酸化カリウム水溶液を用いて基板の異方性エッチングにより素子の片端部を除いて素子下部の基板1を除去して作製した。

【0095】本実施例で作製した圧電変位素子の形状は、長さ500μm、幅50μmである。

【0096】このようにして作製したカンチレバー状変

10

20

30

40

50

位素子の下部電極2と上部電極2'の間に±3Vの電圧を印加した場合に、カンチレバーの先端部は図1の上下方向に±5μm変位した。

【0097】カンチレバー形成後の、電圧を印加しない状態でのカンチレバー部の反りは、先端部で0.5μm以下であった。また、電圧を印加しない状態で周辺温度を変化させた時発生するカンチレバー部の反りの変動は非常に小さく、0℃~100℃の範囲内で最大0.1μmであった。更に、圧電変位素子に用いた膜中のクラック、膜はがれはまったく観察されなかったとともに、それによる動作不良も一切観察されなかった。

【0098】又、実施例1と同様に、上記のようにして作製した圧電変位素子の自由端部に情報入出力用のプローブ4を設けカンチレバー型プローブを形成し、これを用いて図5のSTM並びに図6の情報処理装置を作製したところ、実施例1と同様に、良好な動作を行った。

【0099】実施例3

本実施例は本発明第1のカンチレバー状変位素子に関連し、実施例1、2の他の態様を示すものである。

【0100】まず図3(a)に示すように、同一バッチで基板1、1'上に電極2、2'を形成する。基板1、1'には面方位(100)のSi単結晶基板の画面に、該基板の異方性エッチングのためのマスク層としてSi、N、を0.2μm堆積したものを用いた。電極2、2'はPt膜を用い、通常の高周波スパッタリングにより0.1μmの厚さに堆積した。

【0101】次に、同一バッチで圧電体薄膜3、3'を成膜した。成膜条件は実施例1、2と同様、ターゲットがZnO、基板温度が200℃、スパッタリングガスとしてはArとO₂を1:1で混合したものを用い、ガス圧は0.5Paとし、スパッタ時のプラズマパワーを200Wとした。

【0102】次に同一バッチで電極5、5'を成膜した。電極5、5'はPt膜を用い、通常の高周波スパッタリングにより0.1μmの厚さに堆積した。

【0103】次に図3(b)に示すように両者が中心対称になるように、接着剤を用いて貼り合わせた。次に図3(c)に示すようにHF:HNO₃=1:5溶液を用いて基板のエッチングにより素子上部の基板1'を除去した。次に通常のフォトリソグラフィにより、圧電体薄膜3、3'及び電極2、2'、5、5'の不要部分を除去した後、図3(d)に示すように、水酸化カリウム水溶液を用いて基板の異方性エッチングにより素子の片端部を除いて素子下部の基板1を除去して作製した。

【0104】本実施例で作製した圧電変位素子の形状は、長さ500μm、幅50μmである。

【0105】このようにして作製したカンチレバー状変位素子の中電極5、5'をアースにとり下部電極2と中電極5の間に±3Vの電圧を印加し、中電極5'と上部電極2'の間に±3Vを印加した場合に、カンチレバー

の先端部は図3の上下方向に±5μm変位した。

【0106】カンチレバー形成後の、電圧を印加しない状態でのカンチレバー部の反りは、先端部で0.5μm以下であった。また、電圧を印加しない状態で周辺温度を変化させた時発生するカンチレバー部の反りの変動は非常に小さく、0℃~100℃の範囲内で最大0.1μmであった。更に、圧電変位素子に用いた膜中のクラック、膜はがれはまったく観察されなかったとともに、それによる動作不良も一切観察されなかった。

【0107】又、実施例1、2と同様に、上記のようにして作製した圧電変位素子の自由端部に情報入出力用のプローブ4を設けカンチレバー型プローブを形成し、これを用いて図5のSTM並びに図6の情報処理装置を作製したところ、実施例1、2と同様に、良好な動作を行った。

【0108】実施例4

本実施例は本発明第1のカンチレバー状変位素子に関連し、実施例1~3の他の態様を示すものである。

【0109】まず図3(a)に示すように同一バッチで基板1、1'上に電極2、2'を形成する。基板1、1'には面方位(100)のSi単結晶基板の画面に、該基板の異方性エッチングのためのマスク層としてSi、N、を0.2μm堆積したものを用いた。電極2、2'はAu膜を用い、真空蒸着により0.1μmの厚さに堆積した。

【0110】次に、同一バッチの条件で圧電体膜3、3'を成膜した。成膜条件は、実施例1~3と同様、ターゲットがZnO、基板温度が200℃、スパッタリングガスとしてはArとO₂を1:1で混合したものを用い、ガス圧は0.5Paとし、スパッタ時のプラズマパワーを200Wとした。

【0111】次に、同一バッチで電極5、5'を成膜した。電極5、5'はAu膜を用い、真空蒸着により0.1μmの厚さに堆積した。

【0112】次に図3(b)に示すように両者が中心対称になるように、接着剤を用いて貼り合わせた。次に、図3(c)に示すように、HF:HNO₃=1:5溶液を用いて基板のエッチングにより素子上部の基板1'を除去した。次に通常のフォトリソグラフィにより、圧電体薄膜3、3'及び電極2、2'、5、5'の不要部分を除去した後、図3(d)に示すように、水酸化カリウム水溶液を用いて基板の異方性エッチングにより素子の片端部を除いて素子下部の基板1を除去して作製した。

【0113】本実施例で作製した圧電変位素子の形状は、長さ500μm、幅50μmである。このようにして作製したカンチレバー状変位素子の中電極5、5'をアースにとり下部電極2と中電極5の間に±3Vの電圧を印加し、中電極5'と上部電極2'の間に±3Vを印加した場合に、カンチレバーの先端部は図3の上下方向

に $\pm 5 \mu\text{m}$ 変位した。

【0114】カンチレバー形成後の、電圧を印加しない状態でのカンチレバー部の反りは、先端部で $0.5 \mu\text{m}$ 以下であった。また、電圧を印加しない状態で周辺温度を変化させた時発生するカンチレバー部の反りの変動は非常に小さく、 $0^\circ\text{C} \sim 100^\circ\text{C}$ の範囲内で最大 $0.1 \mu\text{m}$ であった。更に、圧電変位素子に用いた膜中のクラック、膜はがれはまったく観察されなかったとともに、それによる動作不良も一切観察されなかった。

【0115】又、実施例1～3と同様に、上記のようにして作製した圧電変位素子の自由端部に情報入出力用のプローブ4を設けカンチレバー型プローブを形成し、これを用いて図5のSTM並びに図6の情報処理装置を作製したところ、実施例1～3と同様に、良好な動作を行った。

【0116】実施例5

本実施例は、本発明第2のカンチレバー状変位素子に関連する。

【0117】図7は圧電薄膜としてZnOを用い、これをNe/O₂雰囲気のスパッタで成膜した時、ZnOのc軸方向の格子定数の値を成膜時のガス圧力に対してプロットしたものである。ガス圧力が減少すると共にZnOのc軸方向の格子定数は増加するものの、同図に示した従来のAr雰囲気中で成膜した場合に比べ、格子の伸びははるかに少ない。

【0118】この結果は、成膜されたZnOの内部応力がNeを用いた場合は小さくなる事を意味している。

【0119】さらに、図7において、成膜時の圧力変化に対して格子の伸びの変化が少ない事から、複数のカンチレバーにおける反り量のバラツキを少なくする事が出来る。

【0120】図18と同様なカンチレバーをNe/O₂混合雰囲気中で成膜したZnOを用いて作製した所、カンチレバーの自由端の先端と、Si基板との高さのずれは200本中カンチレバーの厚みに対して $\pm 50\%$ であり、従来のようにAr/O₂混合雰囲気時の $\pm 80\%$ に比べ向上が得られた。

【0121】図8に内部応力に対するZnO膜の抵抗値を示した。Ar混合雰囲気中で成膜したZnO膜は内部応力0近傍では抵抗値が低下する。これは誘電損失が大きくなる事を意味し、カンチレバー駆動時のエネルギーロスが大きくなることにつながる。

【0122】これに対して、Ne/O₂混合雰囲気中で成膜したZnOの場合は、低応力近傍で抵抗率が低下する傾向は同様だが、その絶対値はArの場合よりも高抵抗を保っており、これは低応力かつエネルギーロスの少ないカンチレバーを実現できる事を意味する。

【0123】実施例6

本実施例は本発明第3の微小プローブに関連する。

【0124】本実施例では、図9に示してあるような本

発明第3の微小プローブを作製した。

【0125】以下に、微小プローブの製造方法を図11を用いて説明する。

【0126】図11は、粒状膜堆積に用いた多元スパッタ装置の概略図である。93はタングステン製のプローブ、110はプローブ93を加熱させるためのヒーター、111はプローブ93を軸回転させるための軸回転機構、112はプローブ93の角度を変えるための角度調整機構、113は1層目の堆積材料、114は電源、115は2層目の堆積材料、116は電源、117はガス取入れ口、118は排気口、119は真空容器である。プローブ93の作製は、直径1mmのタングステン棒をKOHをエッチング溶液として、交流の電解研磨を用いて鋭利な先端を形成した。エッチング条件は、電圧： $2\text{V}_{\text{p-p}}$ 、電流： 0.025A であった。この時の先端曲率半径は、 $0.5 \mu\text{m}$ 程度であった。先端曲率半径の算出は、高分解能の電界放射走査型電子顕微鏡を用いて行った。113の堆積材料として、Auを用いた。115の堆積材料として、Pt-Pdを用いた。

【0127】次に、堆積材料積層の工程を説明する。

【0128】まず、1層目の堆積材料113をプローブ93の表面に被覆する工程を説明する。1層目の堆積材料113は、Auである（材料は、4インチ基板使用）。軸回転機構111によりプローブ93を回転させた。また、角度調整機構112により1層目の堆積材料113とプローブ93が垂直になるように調整した。真空容器119内へアルゴンガスをガス取入れ口117から導入した。

【0129】次に、以下に示す条件でスパッタ法によりプローブ93表面に被覆した。

【0130】プローブ加熱温度： 150°C

アルゴン圧力： 2mmTorr

電源パワー： 200W

堆積レート： $100\text{Å}/\text{min}$

膜厚が 1000Å に到達した時点で、スパッタを中止させた。

【0131】次に、2層目の堆積材料115を1層目の堆積材料113の表面に堆積させる工程を説明する。2層目の堆積材料115は、Pt-Pdである。

【0132】軸回転機構111によりプローブ93を回転させた。また、角度調整機構112により2層目の堆積材料115とプローブ93が垂直になるように調整した。真空容器119内へアルゴンガスをガス取入れ口117から導入した。

【0133】次に、以下に示す条件でスパッタ法によりプローブ93表面に被覆した。

【0134】プローブ加熱温度： 80°C

アルゴン圧力： 2mmTorr

電源パワー： 200W

堆積レート： $50\text{Å}/\text{min}$

膜厚が300Åに到達した時点で、スパッタを中止させた。

【0135】このようにして作製した微小プローブ先端を透過電子顕微鏡と電界放射電子顕微鏡を用いて観察した。その結果、1層目の膜の先端曲率半径は0.1μmであり、2層目の膜の先端曲率半径は5nmであった。以上のように、先端の曲率半径の非常に小さい、鋭利な微小プローブを作製できた。

【0136】実施例7

本実施例は本発明第3の微小プローブに関連し、実施例6の他の態様を示すものである。

【0137】図12を用いて本実施例を説明する。

【0138】図12は粒状膜堆積に用いたクラスターイオンビーム装置の概略図である。

【0139】110はヒーター、111はプローブ93を回転させる軸回転機構、120は堆積材料、121はるつば、122はるつば121を加熱させる電子放出フィラメント、123は噴射ノズル、124はイオン化用電子引出しグリッド、125は加速電極、126はクラスターイオン、127はクラスターイオン126をプローブ93に照射させないためのシャッター、128は真空容器である。堆積材料120には、Auを用いた。

【0140】以下に堆積方法を説明する。

【0141】まず、軸回転機構111を用いてプローブ93を回転させる。次に電子放出フィラメント122を用いてるつば121の中にいるAu材料120を加熱し、123の噴射ノズルから蒸発させ電子引出しグリッド124によりイオン化し加速電極125により加速させクラスターイオン126として、プローブ93に向かってクラスターイオンを飛ばす。1層目の堆積をシャッター127を開けると共に行う。1層目の堆積条件を以下に示す。

【0142】プローブ加熱温度： 400℃

イオン化電流： 300mA

加速電圧： 8kV

成膜速度： 2Å/sec

上記条件に基づき、プローブ93表面にAuを500Å堆積させた。堆積後は、直ちにシャッター127を閉じた。

【0143】次に2層目の堆積を以下の条件に基づき行う。条件を変更後、シャッター127を開けた。

【0144】プローブ加熱温度： 80℃

イオン化電流： 200mA

加速電圧： 7kV

成膜速度： 0.5Å/sec

上記条件に基づき、1層目の堆積膜にAuを200Å堆積させた。堆積後は、直ちにシャッター127を閉じた。

【0145】次に、3層目の堆積を以下の条件に基づき行う。条件を変更後、シャッター127を開けた。

【0146】プローブ加熱温度： 室温

イオン化電流： 150mA

加速電圧： 7kV

成膜速度： 0.5Å/sec

上記条件に基づき、2層目の堆積表面にAuを100Å堆積させた。堆積後は、直ちにシャッター127を閉じた。このようにして作製した微小プローブ先端を透過電子顕微鏡と電界放射電子顕微鏡を用いて観察した。その結果、1層目の膜の先端曲率半径は0.2μmであり、2層目の膜の先端曲率半径は50nmであり、3層目の膜の先端曲率半径は12nmであった。

【0147】実施例8

本実施例は本発明第3の微小プローブ素子をSTM装置に搭載したものである。

【0148】図13は本発明による本実施例のSTM装置のブロック構成図である。

【0149】図中130は、図11の多元スパッタ装置を用いて、AuとPtを積層被覆した微小プローブであり、先端曲率半径は、5nmであった。132はHOPG（高配向グラファイト）上に液晶（10CB）分子を蒸着した観察試料、133は試料台、134はプローブ130を3次元に走査する微動用圧電素子、135はプローブ130を観察試料132へ粗接近させる粗動機構、131はバイアス電源、136は電圧変換器、137は対数変換器、138は比較器、139は積分器、140はマイクロコンピュータ、141は増幅器、142は表示装置、143は微動用円筒圧電素子134を3次元に走査する3次元走査回路、144はプローブ130を電極に接近させるための粗動制御回路である。プローブ130を、微動用圧電素子134に取り付ける際は、微動用圧電素子134の走査方向に対し、プローブ130先端の角度が最小になるようにセッティングする。

【0150】次に、上述の構成からなる本実施例の表面観察装置を大気中にて動作させる。プローブ130と観察試料132との間に流れるトンネル電流の値が、数ナノメートルの一定状態になるように制御するために、バイアス電源131が100ミリボルトの電圧に設定された状態で電圧変換器136、対数変換器137、比較器138、積分器139、増幅器141を通じた電気的フィードバック信号を微動用円筒圧電素子134に与える。円筒圧電素子134の変位量は、1キロボルト当り1マイクロメートルである。この後、電気的フィードバックをかけながら微動用円筒圧電素子134を3次元走査回路143にて、プローブ130と観察試料132との間に流れるトンネル電流が一定となるように走査させ、試料表面の分子像を表示装置142に出力した。この時のプローブ130の走査速度は、1ラインあたり、2ミリ秒の速度とした。この出力像では、鮮明な液晶の分子が観測された。

【0151】従来のWの電解研磨プローブでは、走査開始部分での像のひずみによる観察分子のピッチ誤差が、しばしば観測されたが、本発明の微小プローブでは、像のひずみ等の影響は観測されなかった。また、分解能の良い像が安定に観測された。

【0152】実施例9

本実施例は本発明第3の微小プローブ素子を情報処理装置に搭載したものである。

【0153】図14は本発明による本実施例の情報処理装置のブロック構成図である。

【0154】図中130は、図12のクラスターイオンビーム装置を用いて、Auを3層積層した本発明第3の微小プローブであり、最先端の曲率半径は15nmであった。

【0155】149はプローブ電流増幅器で、150は圧電素子を用いた微動機構151をプローブ電流が一定になるように、制御するサーボ回路である。152はプローブ電極130と基板電極147の間に記録/消去用のパルス電圧を印加するための電源である。

【0156】パルス電圧を印加するときプローブ電流が急激に変化するため、サーボ回路150は、その間HOLD回路をONにしてサーボ回路150の出力電圧が一定になるように制御している。

【0157】153はXY方向にプローブ電極130を移動制御するためのXY走査駆動回路である。154と155は、あらかじめ 10^{-9} A程度のプローブ電流が得られるようにプローブ電極130と記録媒体145との距離を粗動制御するものである。これらの各機器は、すべてマイクロコンピュータ156により中央制御されている。また157は表示機器を表している。

【0158】また、圧電素子を用いた移動制御における機械的性能を下記に示す。

【0159】

Z方向微動制御範囲： 0.1nm~1μm

Z方向粗動制御範囲： 10nm~10mm

XY方向走査範囲： 0.1nm~1μm

計測、制御許容誤差： <0.1nm

本装置では、プローブ電極130と記録層146の表面の間を流れるプローブ電流を一定に保つように、圧電素子を用いてプローブ電極130と記録層146の表面との距離(Z)を微動制御する。更に微動制御機構151は距離Zを一定に保ったまま、面内(X, Y)方向にも微動制御できるように設計されている。しかし、これらはすべて従来公知の技術である。またプローブ電極130は直接記録・再生・消去を行うために用いることができる。また、記録媒体は高精度のXYステージ158の上に置かれ、任意の位置に移動させることができる。

【0160】次に、Auで形成した基板電極147の上に形成されたスクアリウム-ビス-6-オクチルアズレン(以下SOAZと略す)のLB膜(8層)を用い

た記録・再生・消去の実験についてその詳細を記す。

【0161】SOAZ8層を累積した記録層146をもつ記録媒体145をXYステージ158の上に置き、まず目視によりプローブ電極130の位置を決め、しっかりと固定した。Au電極147に対して、プローブ電極130に-1.0Vの電圧を印加し、電流をモニターしながらプローブ電極130と記録層146表面との距離(Z)を調整した。その後、微動制御機構151を制御してプローブ電極130と記録層146表面までの距離を変えていくと、図15(a)に示すような電流特性が得られた。

【0162】なお、プローブ電流および、プローブ電圧を変化させることでプローブ電極130と記録層146表面との距離Zを調整することができるが、距離Zを適当な値で一定に保持するためには、プローブ電流 I_p が、

【0163】

【式1】

$$10^{-7}A \geq I_p \geq 10^{-12}A$$

好適には、

【0164】

【式2】

$$10^{-8}A \geq I_p \geq 10^{-10}A$$

になるようにプローブ電圧を調整する必要がある。

【0165】まず、図15(a)のa領域の電流値に制御電流を設定した(10^{-7} A)。この条件下ではプローブ電極130は記録層146の表面に接触している。サーボ回路150の出力電圧を一定に保持し、以下の実験を行った。プローブ電極130とAu電極147との間に電気メモリー効果を生じる閾値電圧を越えていない電圧である0.5V読み取り用電圧を印加して電流値を測定したところ、μA以下でOFF状態を示した。次にON状態を生じる閾値電圧 V_{th} ON以上の電圧である図15(b)に示した波形をもつ三角波パルス電圧を印加したのち、再び0.5Vの電圧を電極間に印加して電流を測定したところ0.3mA程度の電流が流れON状態となっていたことを示した。

【0166】次にON状態からOFF状態へ変化する閾値電圧 V_{th} OFF以上の電圧である三角波パルス電圧を印加したのち、再び0.5Vを印加したところ、この時の電流値はμA以下でOFF状態に戻ることが確認された。

【0167】次にプローブ電圧を0.5Vとし、プローブ電流 I_p を 10^{-9} A(図15(a)のb領域に相当する。)に設定して、プローブ電極130と記録層146表面との距離Zを制御した。

【0168】XYステージ158を一定の間隔(1μm)で移動させながら、前記と同様な波形を有する閾値電圧 V_{th} ON以上のパルス電圧($V_{max} = -15V$)を印加して、ON状態を書き込んだ。なお、パルス

10

30

40

50

電圧を印加する際は、サーボ回路150の出力電圧を一定にしている。

【0169】書き込まれた情報は、書き込みの際と同じ条件でプローブ電極130と記録層146の表面の距離を制御したのち、サーボ回路150の出力を一定に保持したままで、XYステージ158を駆動し、ON状態領域とOFF状態領域とのプローブ電流の変化で直接読み取るか、又は、サーボ回路150を動作させたまま（HOLD回路OFF）XYステージ158を駆動し、ON状態領域とOFF状態領域とでのサーボ回路150の出力電圧の変化で読み取ることができる。本実施例では、ON状態領域でのプローブ電流が記録前（又はOFF状態領域）と比較して3桁以上変化していたことを確認した。

【0170】更に書き込みの際と同じ条件でプローブ電極130と記録層146の表面との距離を制御したのちサーボ回路150の出力を一定に保持し、プローブ電圧をV_{th} OFF以上の8Vに設定して、再びXYステージ158を駆動して、記録位置をトレースした結果、全ての記録状態が消去され、OFF状態に移移したことも確認した。

【0171】XYステージ158を駆動するかわりにXY駆動回路153を動作させ、微動制御機構151を駆動して、0.01μm間隔に、前述と同じ条件で記録・再生・消去の実験を行っても、同様な結果が得られた。すなわち書き込み後の記録層146の表面との距離を一定に保持したのち、サーボ回路150の出力を一定にし、その後微動制御機構151を駆動して、記録位置をトレースしたところ、0.01μm周期で3桁以上のプローブ電流の変化を確認した。また、同じ条件でプローブ電圧を8Vに設定し、記録位置をトレースした結果、0.01μm周期の記録状態は全て消去されることも確認した。上述の記録・再生・消去実験を繰り返して行っても安定した実験が可能であった。

【0172】次に微動制御機構151を用いて、0.001μmから0.1μmの間の種々のピッチで長さ1μmのストライプを上記の方法で書き込み、分解能を測定したところ0.01μm以上のピッチでは常に3桁以上のプローブ電流の変化が書き込みピッチと同じピッチで確認された。0.01μm未満のピッチではプローブ電流の変化が次第に小さくなり、0.001μmピッチではプローブ電流の変化の観測は困難であった。

【0173】以上の実験に用いたSOAZ-LB膜は下記のごとく作成した。

【0174】光学研磨したガラス基板（基板148）を中性洗剤およびトリクレンを用いて洗浄した後下引き層としてCrを真空蒸着法により厚さ50Å堆積させ、更にAuを同法により400Å蒸着した下地電極（Au電極147）を形成した。

【0175】次にSOAZを濃度0.2mg/mlで溶

かしたクロロホルム溶液を20℃の水相上に展開し、水面上に単分子膜を形成した。溶媒の蒸発を待ち係る単分子膜の表面圧を20mN/mまで高め、更にこれを一定に保ちながら前記電極基板を水面を横切るように速度5mm/分で静かに浸漬し、さらに引上げ2層のY形単分子膜の累積を行った。

【0176】実施例10

本実施例は本発明第4の微小プローブに関連する。

【0177】本実施例を図16を参照しつつ説明する。まず、熱酸化膜が5000Å形成されたシリコンウエハを支持体161として用意する。続いて金を真空蒸着法により支持体161上に0.2μm成膜し、フォトリソグラフィとエッチングによりパターン形成を行い電極162を形成した。なお、金と熱酸化膜の密着性向上のためにCrを50Å下引き層として用いた（図16（a）参照）。

【0178】次に電極162上に微小突起163を形成した。微小突起163の形成はポジ型フォトリソレジストAZ4620A（ヘキスト社製）を用いスピナーによって塗布し、更に90℃30分でプリベークを行った。この時に得られたレジスト膜厚は3.0μmであった。続いて、直径3.0μmパターンのフォトマスクを用い過剰露光を行った後、現像することにより、高さ2.0μmの円錐型の微小突起を得た（図16（b）参照）。

【0179】次に、プローブ材料として金をイオンビームスパッタ法により、全面に成膜しフォトリソグラフィとエッチングによりパターン形成を行いプローブ164を形成した。なお、このときの金の膜厚は3.0μmとし、基板はターゲットの対向位置より15°傾斜させ回転させて成膜を行った。

【0180】次に、上述した方法により作製した微小プローブをSEM（走査型電子顕微鏡）で観察したところ、先端が鋭利に形成されているプローブを確認した。なおプローブの先端曲率半径は0.09μmであった。

【0181】次に、本実施例で作製した微小プローブを図13に示すようなSTM装置に搭載し、実施例8と同様に観察試料132にHOPGを用いて表面観察したところ、実施例8と同様に良好な原子像を再現性良く得ることができた。

【0182】次に、本実施例で作製した微小プローブを図14に示すような情報処理装置に搭載し、実施例9と同様に、情報の記録、再生、消去の実験を行ったところ、実施例9と同様に良好な結果が得られた。

【0183】実施例11

本実施例は本発明第4の微小プローブに関連し、実施例10の他の態様を示すものである。

【0184】本実施例を図17を参照しつつ説明する。まず、熱酸化膜が5000Å形成されたシリコンウエハを支持体161として用意する。続いて金を真空蒸着法により支持体161上に0.2μm成膜し、フォトリソ

グラフィとエッチングによりパターン形成を行い電極162を形成した。なお、金と熱酸化膜の密着性向上のためにCrを50Å下引き層として用いた(図17(a)参照)。

【0185】次に、SiO₂を支持体161及び電極162上にスパッタ法により2μm成膜し、突起形成層165を形成した。続いて、フォトリソグラフィによりレジストパターン166を突起形成層165上に形成した。フォトリソグラフィにはRD2000N(日立化成社製)を用い、直径2μmのパターンとした(図17(b)参照)。

【0186】次に電極162上に微小突起163を形成した。微小突起163の形成は突起形成層165をエッチングすることにより高さ1.9μmの円錐型の微小突起を得た。この時、エッチング液にはフッ酸とフッ化アンモニウムの混合液を用いた(図17(c)参照)。

【0187】次に、プローブ材料としてパラジウムをイオンビームスパッタ法により、全面に成膜しフォトリソグラフィとエッチングによりパターン形成を行いプローブ164を形成した。なお、このときのパラジウムの膜厚は3.0μmとし、基板はターゲットの対向位置より10°傾斜させ回転させて成膜を行った(図17(d)参照)。

【0188】次に、上述した方法により作製した微小プローブをSEM(走査型電子顕微鏡)で観察したところ、先端が鋭利に形成されているプローブを確認した。なおプローブの先端曲率半径は0.07μmであった。

【0189】次に、本実施例で作製した微小プローブを図13に示すようなSTM装置並びに図14に示すような情報処理装置に搭載し、実施例10と同様の実験を行ったところ、実施例10と同様に良好な結果が得られた。

【0190】実施例12

本実施例は本発明第4の微小プローブに関連し、実施例10、11の他の態様を示すものである。

【0191】本実施例では、プローブ材料にパラジウムを用い、実施例11と同様の方法でプローブを作製し、かつ、マルチに作製した。

【0192】尚、パラジウムの成膜には真空蒸着法を用いた。プローブ数はマトリックス状に配置し、100個とした。尚プローブ間のピッチは200μmとし、開口径は4μmとした。こうして形成したプローブをSEMで観察したところ、プローブの高さは5.3μm±0.1μm、先端曲率半径は0.06μm±0.02μmのバラツキ内に収まっており、マルチにした場合に形状のそろったプローブが得られることが判かった。

【0193】

【発明の効果】以上説明したように、本発明においては、以下の効果を有する。

【0194】(1)本発明第1による圧電変位素子で

は、全く同一に形成した圧電膜を完全に対称な形で配置できるので上下層の応力差が生じないため、従来の圧電体バイモルフからなるカンチレバー状変位素子で問題とされていた反りを、先端部で0.5μm以下とすることができ、複数化、集積化可能なカンチレバー状変位素子、及び、これを用いたカンチレバー型プローブを安定して提供することが可能となった。

【0195】(2)本発明第2による圧電変位素子の製造方法によれば、Ne混合雰囲気中におけるスパッタで成膜することにより、圧電体膜における内部応力を低減しカンチレバーの反り量を低減させる事が出来る。また、成膜時の圧力変化に対し内部応力の変化が小さいので複数のカンチレバーの反り量のバラツキを小さくする事が出来、各カンチレバーの特性を揃える事が出来る。

【0196】更に、低応力であっても抵抗値の低下は最小限に抑えられる事から、低応力かつエネルギーロスの少ないカンチレバーを提供することが可能となった。

【0197】(3)本発明第3による微小プローブ及びその製造方法によれば、微小プローブ表面に粒径の異なる粒状薄膜を積層被覆させたことにより、原子・分子オーダーの先端曲率半径を持つ微小プローブを安定に提供することが可能となった。

【0198】(4)本発明第4による微小プローブ及びその製造方法によれば、微小突起を形成した後、斜め蒸着によりプローブを形成するため、従来に比べてプロセスの簡略化ができ、製造コストを低減させた微小プローブの製造方法が提供できる。

【0199】(5)上記本発明によるカンチレバー型プローブ、微小プローブを備えた走査型トンネル顕微鏡及び情報処理装置では、高分解能の表面観察や、信頼性、安定性に優れた情報の記録、再生、消去を行うことが可能となった。

【図面の簡単な説明】

【図1】本発明第1の圧電変位素子、及びカンチレバー型プローブの作製手順と概略構成図である。

【図2】図1のカンチレバー型プローブの斜視図である。

【図3】本発明第1の圧電変位素子、及びカンチレバー型プローブの他の作製手順と概略構成図である。

【図4】図3のカンチレバー型プローブの斜視図である。

【図5】本発明第1のカンチレバー型プローブを用いたSTM装置のブロック図である。

【図6】本発明第1のカンチレバー型プローブを複数個用いた情報処理装置の主要部構成及びブロック図である。

【図7】本発明第2のカンチレバー状変位素子に係るZnO膜の格子定数とガス圧力の関係をプロットした図である。

【図8】本発明第2のカンチレバー状変位素子に係るZ

nO膜の抵抗値と内部応力の関係をプロットした図である。

【図9】本発明第3の微小プローブの先端を模式的に示した断面図の一例である。

【図10】図9の微小プローブの先端拡大模式図である。

【図11】本発明第3の微小プローブの製造方法を説明するための多元スパッタ装置の概略図である。

【図12】本発明第3の微小プローブの製造方法を説明するためのクラスターイオンビーム装置の概略図である。

【図13】本発明第3の微小プローブを用いたSTM装置のブロック構成図である。

【図14】本発明第3の微小プローブを用いた情報処理装置のブロック構成図である。

【図15】図14の情報処理装置におけるプローブ電極-記録層間距離と電流特性のグラフ及び三角波パルス電圧波形である。

【図16】本発明第4の微小プローブの製造方法の主要工程の一例を示す断面図である。

【図17】本発明第4の微小プローブの製造方法の主要工程の他の例を示す断面図である。

【図18】従来例の圧電体バイモルフからなるカンチレバーの製造方法を説明するための図である。

【図19】従来例の微小プローブの製造方法を説明するための図である。

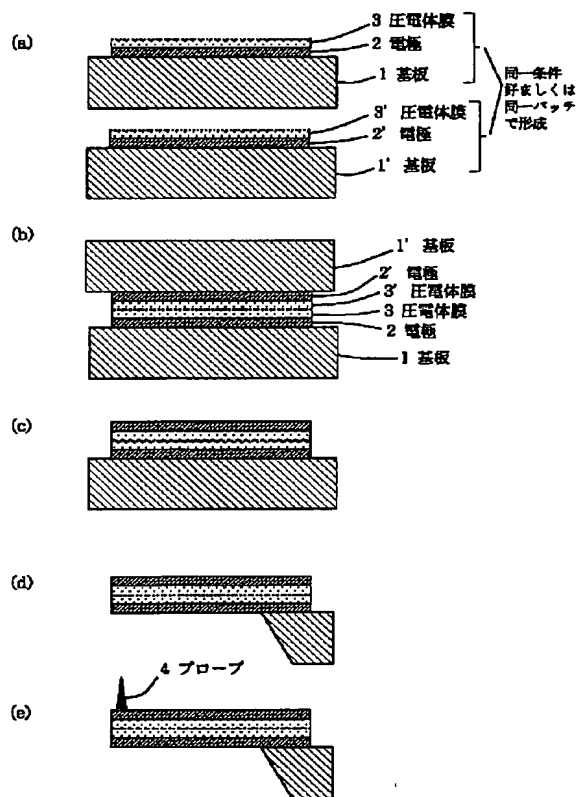
【符号の説明】

- 1, 1' 基板
- 2, 2' 電極
- 3, 3' 圧電体膜
- 4 プローブ
- 5, 5' (中) 電極
- 51 カンチレバー型プローブ
- 52 試料
- 53 X-Yステージ
- 54 バイアス電圧印加回路
- 55 トンネル電流検出回路
- 56 駆動制御回路
- 57 CPU
- 61 記録再生ヘッド
- 62 カンチレバー型プローブ
- 63 プローブ
- 64 記録媒体
- 65 下地電極
- 66 記録媒体ホルダー
- 67 データ変調回路
- 68 記録電圧印加装置
- 69 X-Yステージ
- 70 記録信号検出回路
- 71 データ復調回路

- 72 プローブ高さ検出回路
- 73 トラック検出回路
- 74 X, Z軸駆動制御回路
- 75 記録再生用回路
- 76 CPU
- 91 最表面粒状薄膜
- 92 1層目の粒状薄膜
- 93 プローブ
- 110 ヒーター
- 111 軸回転機構
- 112 角度調整機構
- 113 1層目の堆積材料
- 114 電源
- 115 2層目の堆積材料
- 116 電源
- 117 ガス取入れ口
- 118 排気口
- 119 真空容器
- 120 堆積材料
- 121 るつぼ
- 122 電子放出フィラメント
- 123 噴射ノズル
- 124 イオン化電子引出しグリッド
- 125 加速電極
- 126 クラスターイオン
- 127 シャッター
- 128 真空容器
- 130 微小プローブ(プローブ電極)
- 131 バイアス電源
- 132 観察試料
- 133 試料台
- 134 微動用圧電素子
- 135 粗動機構
- 136 電流電圧変換器
- 137 対数変換器
- 138 比較器
- 139 積分器
- 140 マイクロコンピューター
- 141 増幅器
- 142 表示装置
- 143 3次元走査回路
- 144 粗動制御回路
- 145 記録媒体
- 146 記録層
- 147 基板電極
- 148 基板
- 149 プローブ電流増幅器
- 150 サーボ回路
- 151 微動制御機構
- 152 パルス電源

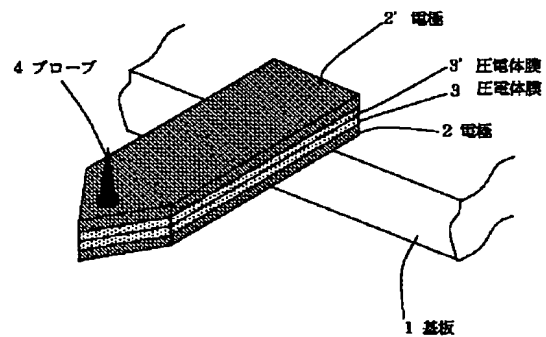
- 153 XY走査駆動回路
- 154 粗動機構
- 155 粗動駆動回路
- 156 マイクロコンピュータ
- 157 表示装置
- 158 XYステージ
- 161 支持体
- 162 電極
- 163 微小突起
- 164 プローブ
- 165 突起形成層
- 166 レジストパターン

【図1】

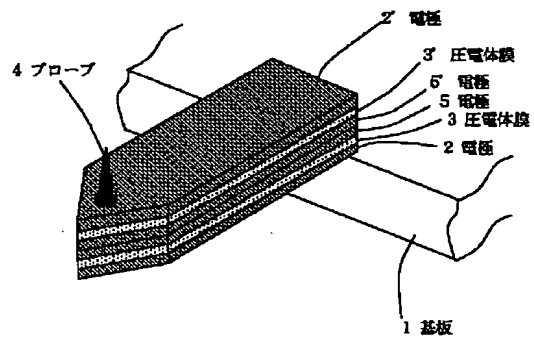


- * 181 Siウエハ
- 182 シリコン窒化膜
- 183 Al薄膜
- 184 ZnO薄膜
- 185 プローブ
- 191 支持体
- 192 引き出し電極
- 193 リフトオフ層
- 194 マスク層
- 10 195 マスク開口部
- 196 プローブ材料
- * 197 微小プローブ

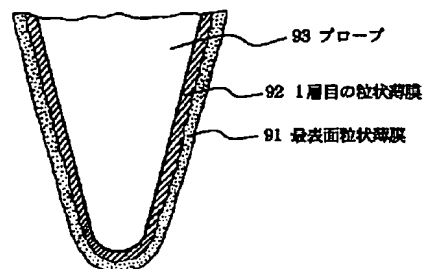
【図2】



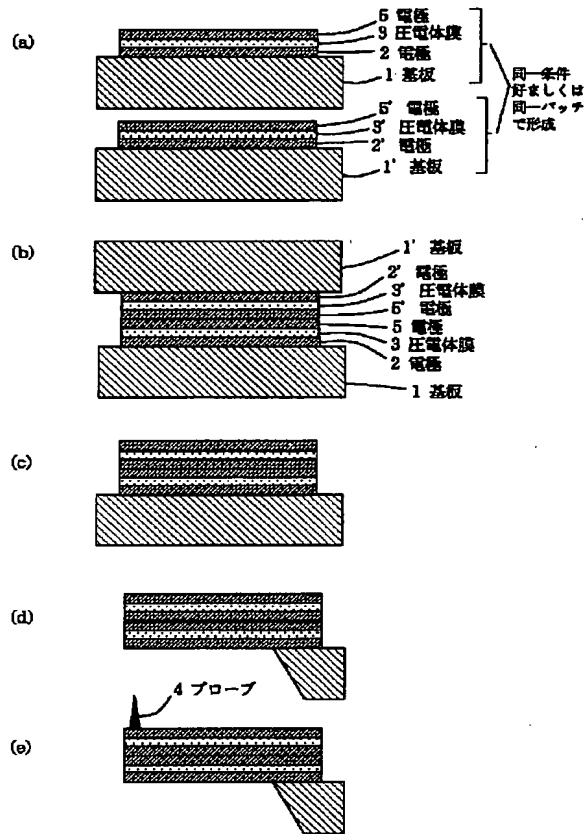
【図4】



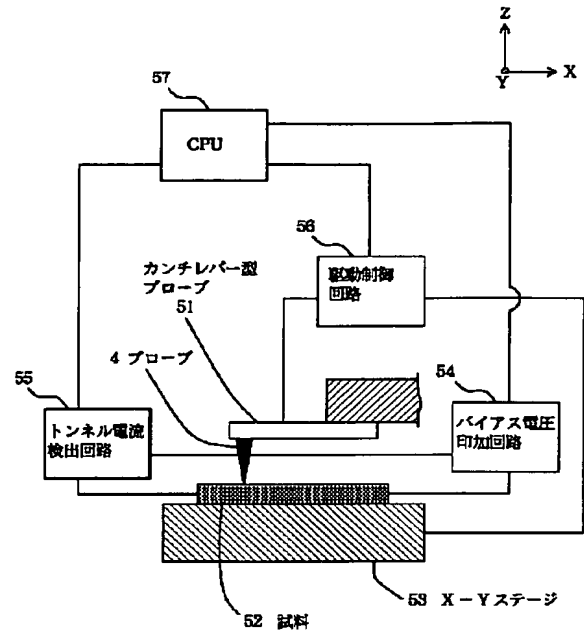
【図9】



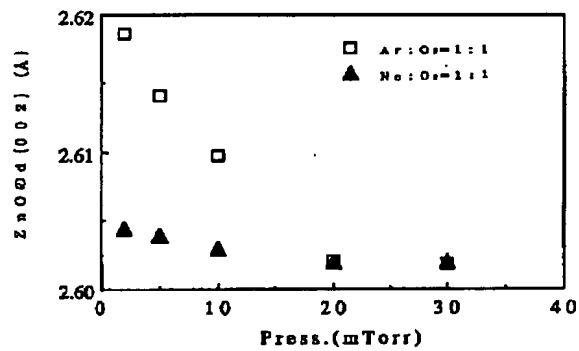
【図3】



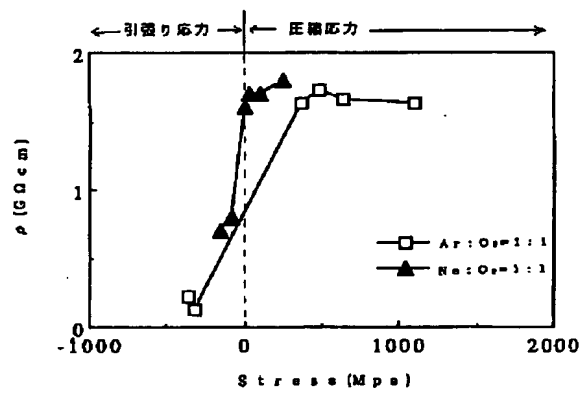
【図5】



【図7】



【図8】



75 記録再生用回路

72 プローブ高さ検出回路

73 トラック検出回路

74 X,Z 軸駆動制御回路

70 記録信号検出回路

71 データ復調回路

67 データ変調回路

76 CPU

69 X Y ステージ

61 記録再生ヘッド

62 カンチレバー型プローブ

63 プローブ

記録電圧印加装置

68

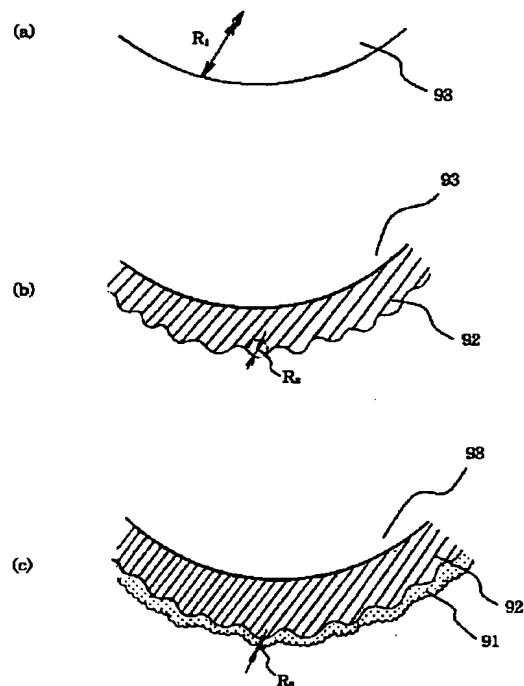
64 記録媒体

65 下地電極

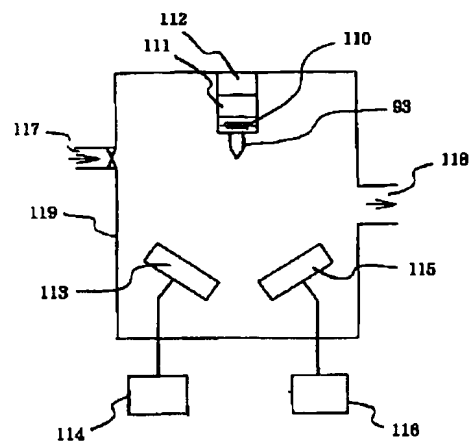
66 記録媒体ホルダー

75 75 記録再生用回路

【図10】

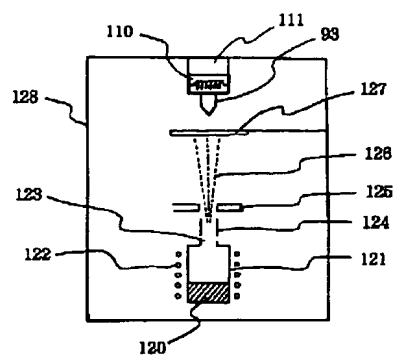


【図11】



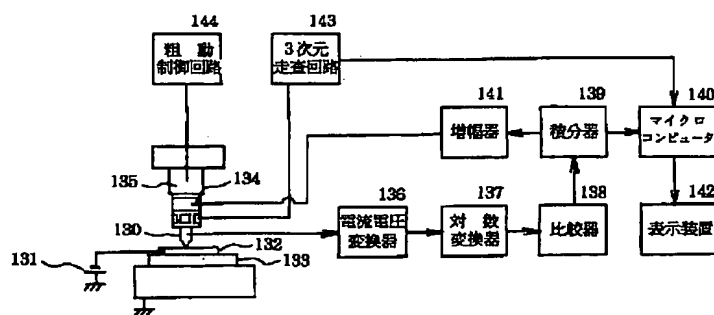
- 110 ヒーター
- 111 軸回転機構
- 112 角度調整機構
- 113 1層目の堆積材料
- 114 電源
- 115 2層目の堆積材料
- 116 電源
- 117 ガス取入れ口
- 118 排気口
- 119 真空容器

【図12】



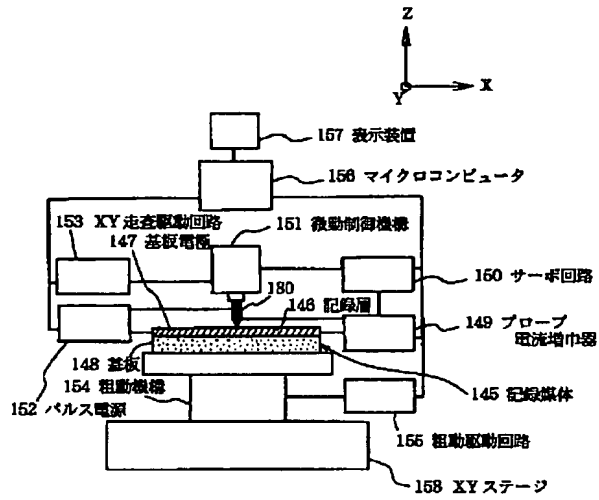
- 120 堆積材料
- 121 るつば
- 122 電子放出フィラメント
- 123 噴射ノズル
- 124 イオン化用電子引出しグリッド
- 125 加速電極
- 126 クラスターイオン
- 127 シャッター
- 128 真空容器

【図13】



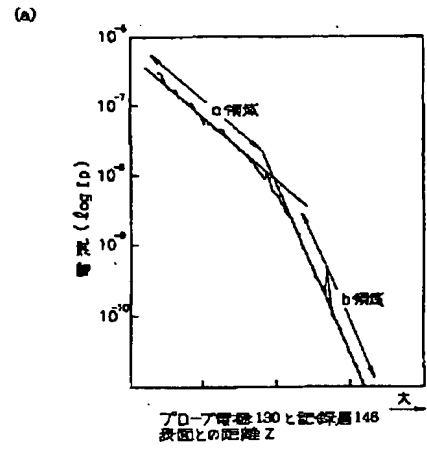
- 130 微小プローブ (プローブ電極)
- 131 バイアス電源
- 132 観察試料
- 133 試料台
- 134 微動用圧電素子
- 135 粗動機構

【図14】

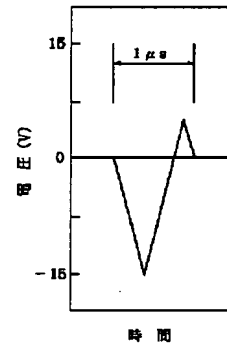


130 微小プローブ (プローブ電極)

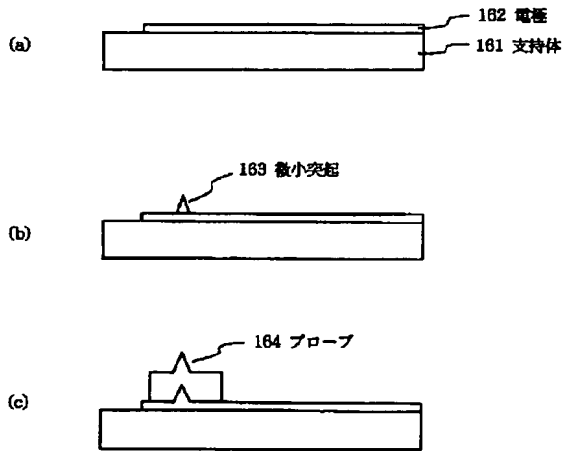
【図15】



(b)

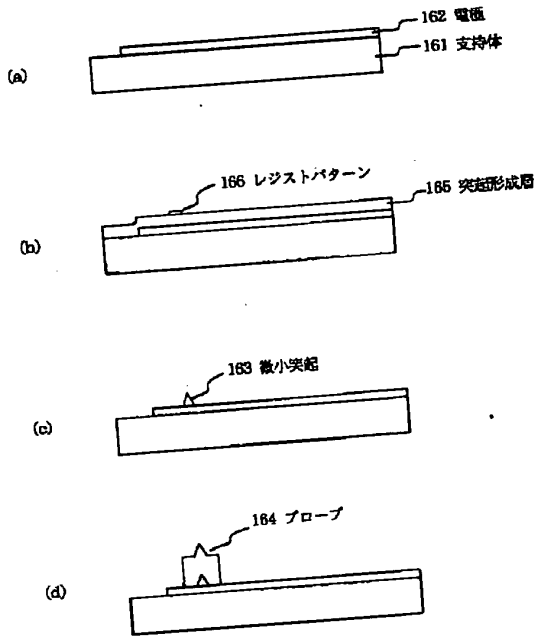


【図16】

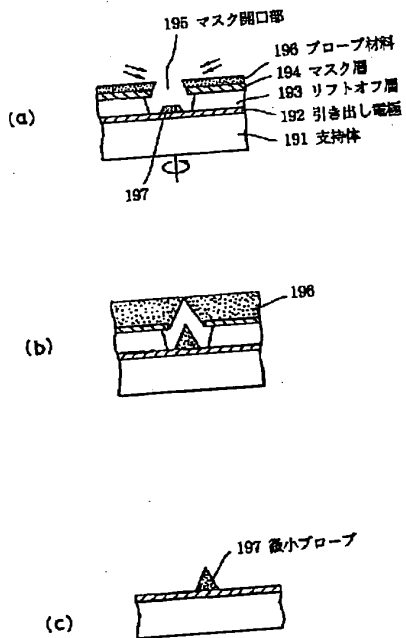


(21)

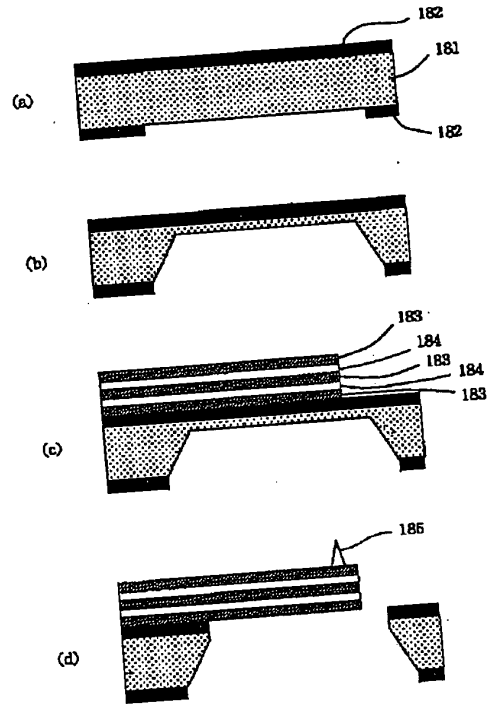
【図17】



【図19】



【図18】



181 Siウエハ
182 シリコン酸化膜
183 Al 薄膜
184 ZnO 薄膜
185 プロブ

(22)

フロントページの続き

- (72)発明者 山本 敬介
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
- (72)発明者 川瀬 俊光
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
- (72)発明者 宮崎 俊彦
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

- (72)発明者 多川 昌宏
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
- (72)発明者 高松 修
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
- (72)発明者 島田 康弘
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
- (72)発明者 中山 優
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内